

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 5, 2003

Application Number: No. 2003-058999
[ST.10/C]: [JP 2003-058999]

Applicant(s) SHINKO ELECTRIC INDUSTRIES CO., LTD.

December 8, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3101450

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 5日
Date of Application:

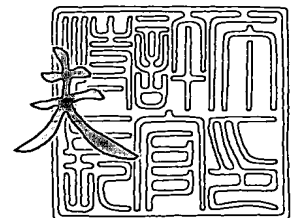
出願番号 特願2003-058999
Application Number:
[ST. 10/C]: [JP 2003-058999]

出願人 新光電気工業株式会社
Applicant(s):

2003年12月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康





【書類名】 特許願

【整理番号】 SD14-245

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/12

【発明の名称】 基板の製造方法及び基板

【請求項の数】 7

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 山崎 智生

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 六川 昭雄

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】

 【予納台帳番号】 002989

 【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成 1 4 年度新



エネルギー・産業技術総合開発機構基板技術研究促進事業（民間基板技術研究支援制度）委託研究、産業活力再生特別措置法 3 0 条適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0202532

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 基板の製造方法及び基板

【特許請求の範囲】

【請求項 1】 導体部がコア基板を貫通してなるビア端子を有する基板の製造方法において、

最終的なコア基板よりも厚い原基板の表面側に凹部を形成し、

該表面側凹部を導体で埋めて表面側導体部を形成し、

該原基板の裏面を、上記表面側導体部が露出する直前の位置まで研磨して、該原基板を薄くして上記コア基板とすると共に、該表面側導体部の先端が該コア基板の一部によって覆われている状態とし、

該コア基板の裏面に凹部を形成して、上記表面側導体部の端を露出させ、

上記裏面側凹部を導体で埋めて裏面側導体部を形成し、

上記表面側導体部と裏面側導体部とが電氣的及び機械的に接続されて上記のビア端子が形成されるようにしたことを特徴とする基板の製造方法。

【請求項 2】 請求項 1 に記載の基板の製造方法において、

最終的なコア基板よりも厚い原基板の表面側に凹部を形成した後であって、該表面側凹部を導体で埋めて表面側導体部を形成する前の段階で、該表面側凹部の内面を含む原基板の表面に絶縁膜を形成するようにしたことを特徴とする基板の製造方法。

【請求項 3】 請求項 1 に記載の基板の製造方法において、

前記原基板が、シリコン基板、ガラス基板、或いはセラミック基板であることを特徴とする基板の製造方法。

【請求項 4】 コア基板を貫通してなるビア端子を有する基板において、

該ビア端子が、上記コア基板の表面側の凹部を埋めている導体が形成する表面側導体部と、上記コア基板の裏面側の凹部を埋めている導体が形成する裏面側導体部とが、上記コア基板の厚み内の位置において電氣的及び機械的に接続されている構成であることを特徴とする基板。

【請求項 5】 下面に外部接続端子が並んでいる半導体装置用基板本体に、コア基板の上面に電極が誘電体層を挟んで対向するキャパシタ部を有する構成の

キャパシタ素子が埋め込んである構成であり、半導体素子が搭載される半導体装置用基板を製造する方法であって、

上記コア基板の表面側は表面側凹部が表面側導体部で埋められており、且つ上記コア基板の裏面側は該表面側導体部が現われない位置まで研磨した状態のキャパシタ素子を製造し、

該キャパシタ素子を、その裏面を上側にして基板上に搭載し、

該キャパシタ素子の上面に絶縁層を形成し、

該絶縁層を貫通して且つ上記コア基板の裏面を彫って上記表面側凹部と貫通する凹部を形成し、

該コア基板の裏面側の凹部を導体部で埋めて裏面側導体部を形成して、該裏面側導体部が上記コア基板の厚み内の位置で上記表面側導体部と電氣的及び機械的に接続された構造のビア端子を形成し、

更に、上面に絶縁層を形成し、この絶縁層にこれを貫通する孔をあけ、この孔を導体部で埋めて、上記ビア端子と電氣的及び機械的に接続された構造の導電経路を形成するようにしたことを特徴とする半導体装置用基板の製造方法。

【請求項 6】 請求項 5 記載の半導体装置用基板の製造方法において、

キャパシタ素子の製造を、上記コア基板の表面側は、表面側凹部の内面に絶縁膜を形成し、その後に表面側導体部で埋めることにより行うことを特徴とする半導体装置用基板の製造方法。

【請求項 7】 請求項 5 記載の半導体装置用基板の製造方法において、

前記コア基板が、シリコン基板、ガラス基板、或いはセラミック基板であることを特徴とする基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は基板の製造方法及び基板に関する。

【0002】

【従来の技術】

近年、半導体装置は搭載される半導体素子の動作周波数が高周波数化してきて

おり、これに伴って、半導体素子に供給する電源電圧の安定化を図ることが必要となってきた。これに対応するために、半導体素子が搭載される半導体装置用基板内にキャパシタ素子を埋め込んで設けた構造が提案されている。

【0003】

キャパシタ素子は、シリコン基板の上面にキャパシタ部を有し、且つ、シリコン基板を貫通するビア端子を有する構成である。

【0004】

キャパシタ素子1は、図13 (A) 乃至 (D) に示すようにして製造される。先ず、図13 (A) に示すように、厚さが t_1 (約 $750\mu\text{m}$) と厚いシリコン基板2の表面2aにビア端子のための凹部3を形成し、次いで、同図 (B) に示すように、絶縁膜9を形成し、これにCuメッキをして、凹部3内をCuで埋めて、導体部4を形成し、次いで、エッチング、陽極酸化等を行って、同図 (C) に示すように、厚いシリコン基板2の上面2aにキャパシタ部5を形成し、最後に、砥石を使用して、シリコン基板2の裏面2bを、線15で示す位置まで研磨してバックグラインディングを行い、導体部4を露出させることによって製造される。図13 (D) は製造されたキャパシタ素子1を示す。

【0005】

図13 (D) 中、10はシリコン基板であり、ビア端子11を有する。

【0006】

【特許文献1】

特開2002-8942号公報

【0007】

【特許文献2】

特開2001-53218号公報

【0008】

【発明が解決しようとする課題】

ここで、砥石を使用したバックグラインディングは、導体部4が露出するまで行っているため、導体部4の材料であるCuの粉末が発生し、このCuの粉末が砥石の目詰まりを起こさせ、砥石の保守が面倒であった。

【0009】

また、拡散速度が速いという性質を有するCuの粉末が撒き散らされ、キャパシタ素子を製造する作業環境が汚染される虞れもあった。

【0010】

そこで、本発明は上記課題を解決した基板の製造方法及び基板を提供することを目的とする。

【0011】**【課題を解決するための手段】**

請求項1の発明は、導体部がコア基板を貫通してなるビア端子を有する基板の製造方法において、

最終的なコア基板よりも厚い原基板の表面側に凹部を形成し、

該表面側凹部を導体で埋めて表面側導体部を形成し、

該原基板の裏面を、上記表面側導体部が露出する直前の位置まで研磨して、該原基板を薄くして上記コア基板とすると共に、該表面側導体部の先端が該コア基板の一部によって覆われている状態とし、

該コア基板の裏面に凹部を形成して、上記表面側導体部の端を露出させ、

上記裏面側凹部を導体で埋めて裏面側導体部を形成し、

上記表面側導体部と裏面側導体部とが電氣的及び機械的に接続されて上記のビア端子が形成されるようにしたものである。

【0012】

原基板の裏面を表面側導体部が露出するまで研磨しないため、表面側導体部の粉末が発生しない。よって、砥石が表面側導体部の粉末によって目詰まりを起こすことがなく、且つ、表面側導体部の粉末が飛散して作業環境が汚染されることも起きない。

【0013】

請求項2の発明は、請求項1に記載の基板の製造方法において、

最終的なコア基板よりも厚い原基板の表面側に凹部を形成した後であって、該表面側凹部を導体で埋めて表面側導体部を形成する前の段階で、該表面側凹部の内面を含む原基板の表面に絶縁膜を形成するようにしたものである。

【0014】

請求項3の発明は、請求項1に記載の基板の製造方法において、前記原基板が、シリコン基板、ガラス基板、或いはセラミック基板であるようにしたものである。

【0015】

請求項4に発明は、コア基板を貫通してなるビア端子を有する基板において、該ビア端子が、上記コア基板の表面側の凹部を埋めている導体が形成する表面側導体部と、上記コア基板の裏面側の凹部を埋めている導体が形成する裏面側導体部とが、上記コア基板の厚み内の位置において電氣的及び機械的に接続されている構成としたものである。

【0016】

表面側導体部と裏面側導体部とが電氣的及び機械的に接続されている個所が、コア基板の厚み内の位置であるので、外部から水分が侵入しても、水分が上記の接続個所までは届き難く、よって、接続個所がコア基板の裏面に位置している構造に比べて、高い信頼性を有するビア端子構造を実現できる。

【0017】

請求項5の発明は、下面に外部接続端子が並んでいる半導体装置用基板本体に、コア基板の上面に電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子が埋め込んである構成であり、半導体素子が搭載される半導体装置用基板を製造する方法であって、

上記コア基板の表面側は表面側凹部が表面側導体部で埋められており、且つ上記コア基板の裏面側は該表面側導体部が現われない位置まで研磨した状態のキャパシタ素子を製造し、

該キャパシタ素子を、その裏面を上側にして基板上に搭載し、

該キャパシタ素子の上面に絶縁層を形成し、

該絶縁層を貫通して且つ上記コア基板の裏面を彫って上記表面側凹部と貫通する凹部を形成し、

該コア基板の裏面側の凹部を導体部で埋めて裏面側導体部を形成して、該裏面側導体部が上記コア基板の厚み内の位置で上記表面側導体部と電氣的及び機械的

に接続された構造のビア端子を形成し、

更に、上面に絶縁層を形成し、この絶縁層にこれを貫通する孔をあけ、この孔を導体部で埋めて、上記ビア端子と電氣的及び機械的に接続された構造の導電経路を形成するようにしたものである。

【0018】

表面側導体部は研磨されないため、表面側導体部の粉末が発生しない。よって、砥石が表面側導体部の粉末によって目詰まりを起こすことがなく、且つ、表面側導体部の粉末が飛散して作業環境が汚染されることも起きない。これにより、半導体装置用基板は、作業性良く製造される。

【0019】

請求項6の発明は、請求項5記載の半導体装置用基板の製造方法において、キャパシタ素子の製造を、上記コア基板の表面側は、表面側凹部の内面に絶縁膜を形成し、その後に表面側導体部で埋めることにより行うようにしたものである。

【0020】

請求項7の発明は、請求項5記載の半導体装置用基板の製造方法において、前記コア基板が、シリコン基板、ガラス基板、或いはセラミック基板であるようにしたものである。

【0021】

【発明の実施の形態】

図1は本発明の一実施例になる半導体装置用基板100を示し、図2(A)は図1の半導体装置用基板100の一部を拡大して示す。図2(B)及び図2(C)は、夫々図2(A)中、B-B線に沿う断面及びC-C線に沿う断面を示す。

【0022】

半導体装置用基板100は、半導体装置用基板本体101と、この上面に埋め込んであるキャパシタ素子20とよりなる構造である。この半導体装置用基板100には、図4及び図2に示すように、LSI半導体素子140が搭載される。図4は半導体装置130を示す。この半導体装置130は電子機器のプリント基板上に実装されて使用される。

【0023】

なお、本発明の要部が現われているのは、キャパシタ素子20と半導体装置用基板本体101との間の部分である。

【0024】

図1に示すように、半導体装置用基板本体101は、樹脂層102、103、104が積層してある多層回路基板である。各層に形成された導体パターン105は各層を貫通しているビア106によって電氣的に接続してある。半導体装置用基板本体101の内部には、これを厚さ方向に貫通するように、信号用導電経路124、125、電源供給導電経路126、接地導電経路127-1、127-2が形成してある。

【0025】

110は半導体素子搭載面であり、キャパシタ素子20の上面であり、ここには、図2(A)に示すように、信号用端子44、45、電源用端子46及び二つの接地用端子47-1、47-2が露出して並んでいる。

【0026】

115は実装面であり、半導体装置用基板本体101の下面であり、ここには、半田ボール116がビア106と接続されて設けてあり、且つ、ソルダレジスト117によって覆われている。

【0027】

図2(A)、(B)及び(C)に示すように、キャパシタ素子20は、厚さが50 μ m以下であるコア基板としてのシリコン基板21と、シリコン基板21の上面に薄膜でもって形成してある薄膜キャパシタ部22と、支持体21の上面に形成してあり、キャパシタ部22を覆う絶縁性の保護膜23と、シリコン基板21を貫通している信号用ビア端子24、25、電源用ビア端子26及び二つの接地用ビア端子27-1、27-2と、キャパシタ素子20の上面31に露出している信号用端子44、45、電源用端子46及び二つの接地用端子47-1、47-2とを有する構成である。信号用端子44、45、電源用端子46及び接地用端子47-1、47-2は、夫々信号用ビア端子24、25、電源用ビア端子26及び接地用ビア端子27-1、27-2の上に積み重なっている。シリコン

基板 21 に代えて、ガラス基板或いはセラミック基板でもよい。この場合には後述する絶縁膜 (SiO₂ 膜) 51 の形成は不要である。

【0028】

このキャパシタ部 22 は、下部電極 32 と上部電極 33 とが間に例えばタンタルの陽極酸化層 (誘電体層) 34 を挟んで対向している構成であり、支持体 21 上に配置してあり、保護膜 23 によって覆われて保護されている。キャパシタ部 22 は、電源用ビア端子 26 と接地用ビア端子 27-1, 27-2 との間に設けてある。

【0029】

また、キャパシタ素子 20 の信号用ビア端子 24、25、電源用ビア端子 26 及び接地用ビア端子 27-1、27-2 は半導体装置用基板本体 101 内の導電経路と電氣的に接続してある。よって、半導体装置用基板 100 についてみると、キャパシタ部 22 は電源供給導電経路 126 と接地導電経路 127-1、127-2 との間に接続してある。キャパシタ部 22 は図 4 の半導体装置 130 が電子機器のプリント基板上に実装されて使用されて半導体装置が動作されるときに、バイパスキャパシタ又はデカップリングキャパシタとして機能して半導体素子 140 に供給される電源電圧の安定化が図られる。

【0030】

なお、キャパシタ素子 20 が半導体素子を搭載しない場合には、キャパシタ部 22 に関してみると、端子 26、46 が一方の端子であり、端子 27-1、47-1、27-2、47-2 が他方の端子である。また、支持体 21 が 50 μ m より薄いシート片である構成であるので、キャパシタ素子 20 は、厚さは薄い。また、支持体 21 がフレキシブル性を有するので、キャパシタ素子 20 もフレキシブル性を有する。

【0031】

また、電源用端子 46 の上面とキャパシタ部 22 との間の導電経路の距離、及び、接地用端子 47 の上面とキャパシタ部 22 との間の導電経路の距離は共にごく短い。よって、この部分の導電経路のインダクタンスである寄生インダクタンスはごく小さい。

【0032】

信号用ビア端子 24 は、図 3 に拡大して示すように、シリコン基板 21 に形成してある貫通孔 180 内を、表面側導体部 24a と、裏面側導体部 24b とが埋めており、表面側導体部 24a の先端と裏面側導体部 24b の先端とが、貫通孔 180 の内部の位置 P、即ち、シリコン基板 21 の厚み内の位置 P で接触して電氣的及び機械的に接続している構成である。裏面側導体部 24b は、半導体装置用基板本体 101 を製造する工程で形成されるビアの一部である。貫通孔 180 は、表面側の凹部 52 と裏面側の凹部 153 とが連通している構成であり、上記の繋がり箇所 P は、表面側の凹部 52 と裏面側の凹部 153 との境の位置である。

【0033】

別の信号用ビア端子 25、電源用ビア端子 26 及び接地用ビア端子 27-1、27-2 も、上記の信号用ビア端子 24 と同じ構成である。

【0034】

各ビア端子 24（25、26、27-1、27-2）は、表面側導体部 24a と裏面側導体部 24b との接続位置 P が貫通孔 180 の内部の位置 P、即ち、シリコン基板 21 の厚み内の位置 P であるので、外部からの水分が上記の位置 P までは侵入することが極めて困難となり、よって、各ビア端子 24（25、26、27-1、27-2）は、導体部同士の接続位置がシリコン基板 21 の裏面である構成と比較して、高い信頼性を有する。

【0035】

なお、ビア端子 24 等は、キャパシタ素子 20 の製造工程で形成される導体部 52 と、半導体装置用基板本体 101 の製造工程で形成される導体部 153 とによって構成されている構成である。

【0036】

図 2 及び図 4 に示すように、半導体装置用基板 100 の半導体素子搭載面 110 に、半導体素子 140 がフリップチップ接続によって搭載してある。半導体素子 140 の下面の bumps 141 が、半導体素子搭載面 110 に露出している信号用端子 44、45、電源用端子 46 及び二つの接地用端子 47-1、47-2 と

接続してある。142はアンダーフィルである。ここで、キャパシタ素子20は半導体素子140の直ぐ直下の位置に配置してある構成である。このため、半導体素子140とキャパシタ素子20との間の導電経路はごく短く、この部分のインダクタンスである寄生インダクタンスはごく小さい。よって、半導体素子の動作周波数が高周波数化してきた場合にも、半導体素子に供給する電源電圧はこの寄生インダクタンスによって影響を受けないで、安定に維持される。

【0037】

次に、上記の半導体装置用基板100の製造方法について説明する。

【0038】

半導体装置用基板100は、キャパシタ素子20を完成直前まで製造し、この完成直前のキャパシタ素子20Aに対して、これを覆うように絶縁層を形成して半導体装置用基板本体101を製造することによって製造される。

【0039】

先ず、図5(A)に示す厚さが t_{10} (約 $750\mu\text{m}$)と厚い原シリコン基板21Aを用意し、図5(B)に示すように、この表面21Aaにビア端子のための凹部52形成し、次いで、図5(C)に示すように、CVD、スパッタリング、或いは熱酸化処理によって、厚さが $0.5\sim 3\mu\text{m}$ の絶縁膜(SiO_2 膜)51を少なくとも凹部52が形成された面に形成する。次いで、図5(D)に示すように、表面に無電解銅めっきと電解銅めっきとを行って、銅めっき層53を、支持体21の上面及び側面を覆い、且つ、凹部52を埋めるように形成する。54は凹部52を埋めている銅部分、55は原シリコン基板21Aの上面の銅層である。

【0040】

次いで、図6(A)に示すように、銅層55をパターンニングして、各凹部52を埋めている銅部分54間を分断して表面側導体部24a, 25a, 26a, 27-1a, 27-2aと、表面側導体部27-1a, 27-2aから表面側導体部26aの方向に延びている下部電極32を形成する。

【0041】

次いで、図6(B)に示すように、原シリコン基板21Aの表面にタンタルを

スパッタリングしてタンタル膜を形成し、このタンタル膜を陽極酸化してタンタル酸化膜を形成する。

【0042】

次いで、このタンタル酸化膜をエッチングしてパターンニングし、下部電極 32 上にはタンタル酸化膜が残るようにし、且つ、表面側導体部 24a, 25a, 26a, 27-1a, 27-2a の上面は露出するようにし、誘電体層 56 とする (図 2 (B) 参照)。誘電体層 34 は誘電体層 56 の一部である。

【0043】

次いで、図 6 (C) に示すように、上面に表面に無電解銅めっきと電解銅めっきを行って、銅めっき層を形成し、これをエッチングしてパターンニングし、銅めっき層が誘電体層 34 の上面、及び表面側導体部 24a, 25a, 26a, 27-1a, 27-2a の上面には銅めっき層が残るようにして、上部電極 33 並びに信号用端子 44、45、電源用端子 46 及び二つの接地用端子 47-1、47-2 を形成する。上部電極 33 が形成されると、キャパシタ部 22 が構成される。

【0044】

次いで、図 7 (A) に示すように、上面にエポキシやポリイミド等の絶縁性の膜を形成し、これを端子 44、45、46、47-1、47-2 が露出するようにパターンニングして、保護膜 23 を形成する。

【0045】

次いで、図 7 (B) に示すように、Ni/Au メッキを行って端子 44、45、46、47-1、47-2 の露出している上面に表面処理をして Ni/Au メッキ部 48 を形成する。

【0046】

次いで、図 7 (C) に示すように、砥石を使用して、シリコン基板 21A の裏面 21Ab を研磨して、線 190 で示す位置、即ち、表面側導体部 24a, 25a, 26a, 27-1a, 27-2a が露出する直前の位置までバックグラインディングを行い、この後に研磨面に絶縁膜 51a を前記の絶縁膜 51 と同様な方法で形成してキャパシタ素子 20A が完成する。21c は、キャパシタ素子 20

Aのシリコン基板21の裏面である。表面側導体部24a, 25a, 26a, 27-1a, 27-2aは、キャップ部21dによって覆われており、保護されている。キャップ部21dは、研磨されずに残った絶縁膜51であり、厚さは0.5~3 μ m程度である。

【0047】

ここで、砥石はCu製である表面側導体部24a等を研磨しないため、Cu粉末は発生せず、目詰まりを起こさない。また、Cu製である表面側導体部24a等が研磨されないため、Cu粉末が飛散することがなく、作業環境が汚染されることも起きない。

【0048】

ここで、シリコン基板21と絶縁膜(SiO₂膜)51とは硬さが相違し、絶縁膜51はシリコン基板21よりも硬い。砥石を使用してシリコン基板21Aの裏面21Abを研磨するバックグラインドを行う場合に、砥石が凹部52の底部の絶縁膜(SiO₂膜)51に到ると砥石にかかる応力が増える。よって、砥石にかかる応力が増えたことを感知してバックグラインドを終了させることによって、バックグラインドを凹部52の底部の絶縁膜(SiO₂膜)51が露出した状態で終了させることが出来、このようにバックグラインドを行うことが好適である。

【0049】

次いで、図8(A)、(B)に示すように、銅等の金属板150の上面にポリイミド等の樹脂を塗布して形成した薄樹脂膜151上に、図7(C)に示すキャパシタ素子20Aを、表裏反転させた姿勢で、搭載する。

【0050】

次いで、図8(C)、(D)に示すように、エポキシ等の樹脂層104をラミネートして、キャパシタ素子20Aを完全に覆う。

【0051】

次いで、図9(A)、(B)に示すように、レーザ加工やエッチング等を行って、表面側導体部24a, 25a, 26a, 27-1a, 27-2aに対応する個所について、樹脂層104には貫通孔104aを形成し、更に、キャップ部2

1 d を除去してキャパシタ素子 20 A のシリコン基板 21 の裏面 21 c に表面側導体部形成用の凹部 153 を形成する。凹部 153 は前記の凹部 52 とつながり、この凹部 153 の底面には、表面側導体部 24 a, 25 a, 26 a, 27-1 a, 27-2 a の先端が露出する。また、凹部 153 が凹部 52 とつながって、シリコン基板 21 を貫通するビア 180 が形成される。ここで、キャップ部 21 d は研磨されずに残った絶縁膜 51 であり厚さは 0.5 ~ 3 μ m 程度であるので、凹部 153 の形成は容易である。

【0052】

次いで、図 9 (C)、(D) に示すように、銅の無電解めっきと電解めっきとを行って、樹脂層 104 の全面に金属層 154 を形成する。金属層 154 は貫通孔 104 a と凹部 153 とを埋める。次いで、図 10 (A), (B) に示すように、金属層 154 をフォトリソ法でパターニングして、導体パターン 155 及び裏面側導体部 24 b, 25 b, 26 b, 27-1 b, 27-2 b を形成する。裏面側導体部 24 b, 25 b, 26 b, 27-1 b, 27-2 b は、夫々、表面側導体部 24 a, 25 a, 26 a, 27-1 a, 27-2 a と、ビア 180 の内部、即ち、シリコン基板 21 の厚さ範囲内の位置 P で、電氣的及び機械的に接続され、ビア端子 24, 25, 26, 27-1, 27-2 が形成される。

【0053】

次いで、図 10 (C)、(D) に示すように、導体パターン 155 が覆われるように樹脂層 103 をラミネートし、この樹脂層 103 にレーザ加工やエッチング等によってビア形成用の凹部 157 を形成する。凹部 157 の底面には、ビア端子 26, 27-1, 27-2 が露出する。

【0054】

次いで、図 11 (A) に示すように、上記と同じく、樹脂層 104 の全面に金属層を形成し、この金属層をパターニングして導体パターン 157 及びビア 159 を形成し、更に、樹脂層 102 をラミネートし、この樹脂層 102 にビア形成用の凹部を形成し、樹脂層 102 の全面に金属層を形成し、この金属層をパターニングしてビア 160 及びパッド 161 を形成する。

【0055】

次いで、図 11 (B) に示すように、パッド 161 の部分を除いて樹脂層 102 の全面にソルダレジスト 117 を塗布する。

【0056】

最後に、図 11 (C) に示すように、金属板 150 に対してエッチングを行って、金属板 150 を完全に除去し、次いで、薄樹脂層 151 をドライエッチングにより除去する。

【0057】

ここで、金属板 150 に対するエッチングの進行は薄樹脂層 151 によって停止され、過剰エッチングは起きない。また、半田ボール 116 のパッド 161 への接合は、半田ボール 116 をソルダレジスト 117 に形成してある凹部に置いて、リフローしてなされる。

【0058】

図 12 は本発明の別の実施例になるインターポーザ 200 を示す。インターポーザ 200 は、シリコンコア基板 201 にビア端子 202 を複数有する構成である。各ビア端子 202 は、コア基板 201 に形成してある貫通孔 202 内を、表面側導体部 210a と、裏面側導体部 210b とが埋めており、表面側導体部 210a の先端と裏面側導体部 210b の先端とが、符号 Q で示す貫通孔 180 の内部の位置で、即ち、シリコン基板 21 の厚み内の位置で電氣的及び機械的に接続されている構成である。なお、貫通孔 202 の内面には絶縁膜 203 が形成してある。

【0059】

【発明の効果】

上述の如く、本願発明は、導体部がコア基板を貫通してなるビア端子を有する基板の製造方法において、最終的なコア基板よりも厚い原基板の表面側に凹部を形成し、この表面側凹部を導体で埋めて表面側導体部を形成し、該原基板の裏面を、上記表面側導体部が露出する直前の位置まで研磨して、該原基板を薄くして上記コア基板とすると共に、該表面側導体部の先端が該コア基板の一部によって覆われている状態とし、該コア基板の裏面に凹部を形成して、上記表面側導体部の端を露出させ、上記裏面側凹部を導体で埋めて裏面側導体部を形成し、上記表

面側導体部と裏面側導体部とが電氣的及び機械的に接続されて上記のビア端子が形成されるようにしたものであるため、原基板の裏面を表面側導体部が露出するまで研磨しないため、表面側導体部の粉末が発生せず、よって、砥石が表面側導体部の粉末によって目詰まりを起こすことがなく、且つ、表面側導体部の粉末が飛散して作業環境が汚染されることも起きず、よって、ビア端子を有する基板を生産性良く製造することが出来る。

【図面の簡単な説明】

【図 1】

本発明の一実施例になる半導体装置用基板を示す断面図である。

【図 2】

図 1 中、キャパシタ素子の内部構造及びキャパシタ素子と半導体装置用基板本体との接続部分の構造を拡大して示す図である。

【図 3】

図 2（A）中、一つのビア端子の構造を拡大して示す図である。

【図 4】

図 1 の半導体装置用基板を有する半導体装置を示す図である。

【図 5】

図 1 に示す半導体装置用基板の製造工程を示す図である。

【図 6】

図 5（C）に続く製造工程を示す図である。

【図 7】

図 6（C）に続く製造工程を示す図である。

【図 8】

図 7（C）に続く製造工程を示す図である。

【図 9】

図 8（C）に続く製造工程を示す図である。

【図 10】

図 9（C）に続く製造工程を示す図である。

【図 11】

図 10 (C) に続く製造工程を示す図である。

【図 12】

本発明の別の実施例になるインターポーザを示す断面図である。

【図 13】

従来例を示す図である。

【符号の説明】

- 20、20A キャパシタ素子
- 21 シリコン基板
- 21A 原シリコン基板
- 21d キャップ部
- 22-1、22-2 薄膜キャパシタ部
- 23 保護膜
- 24、25 信号用ビア端子
- 26 電源用ビア端子
- 27-1、27-2 接地用ビア端子
- 24a、25a、26a、27-1a、27-2a 表面側導体部
- 24b、25b、26b、27-1b、27-2b 表面側導体部
- 32-1、32-2 下部電極
- 33-1、33-2 上部電極
- 34-1、34-2 タンタルの陽極酸化層（誘電体層）
- 44、45 信号用端子
- 46 電源用端子
- 47-1、47-2 接地用端子
- 48 Ni/Auメッキ部
- 50 基材
- 51 絶縁膜（SiO₂膜）
- 52、153 凹部
- 180 貫通孔
- 53 銅めっき層

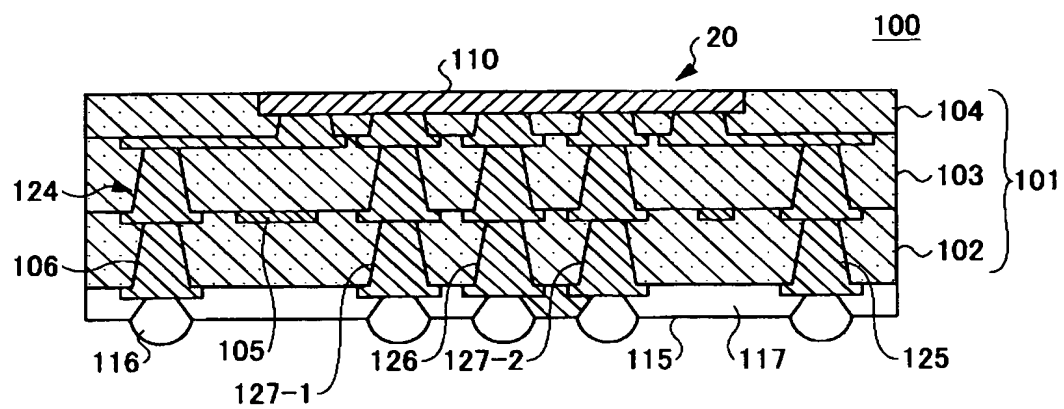
- 1 0 0 半導体装置用基板
- 1 0 1 半導体装置用基板本体
- 1 0 2、1 0 3、1 0 4 樹脂層
- 1 1 0 半導体素子搭載面
- 1 1 5 実装面
- 1 2 4、1 2 5 信号用導電経路
- 1 2 6 電源供給導電経路
- 1 2 7 - 1、1 2 7 - 2 接地導電経路
- 1 3 0 半導体装置
- 1 4 0 L S I 半導体素子
- 1 4 1 バンプ
- 2 0 0 インターポーザ
- 2 0 1 コア基板
- 2 0 2 ビア端子
- 2 0 2 貫通孔
- 2 1 0 a 表面側導体部
- 2 1 0 b 裏面側導体部

【書類名】

図面

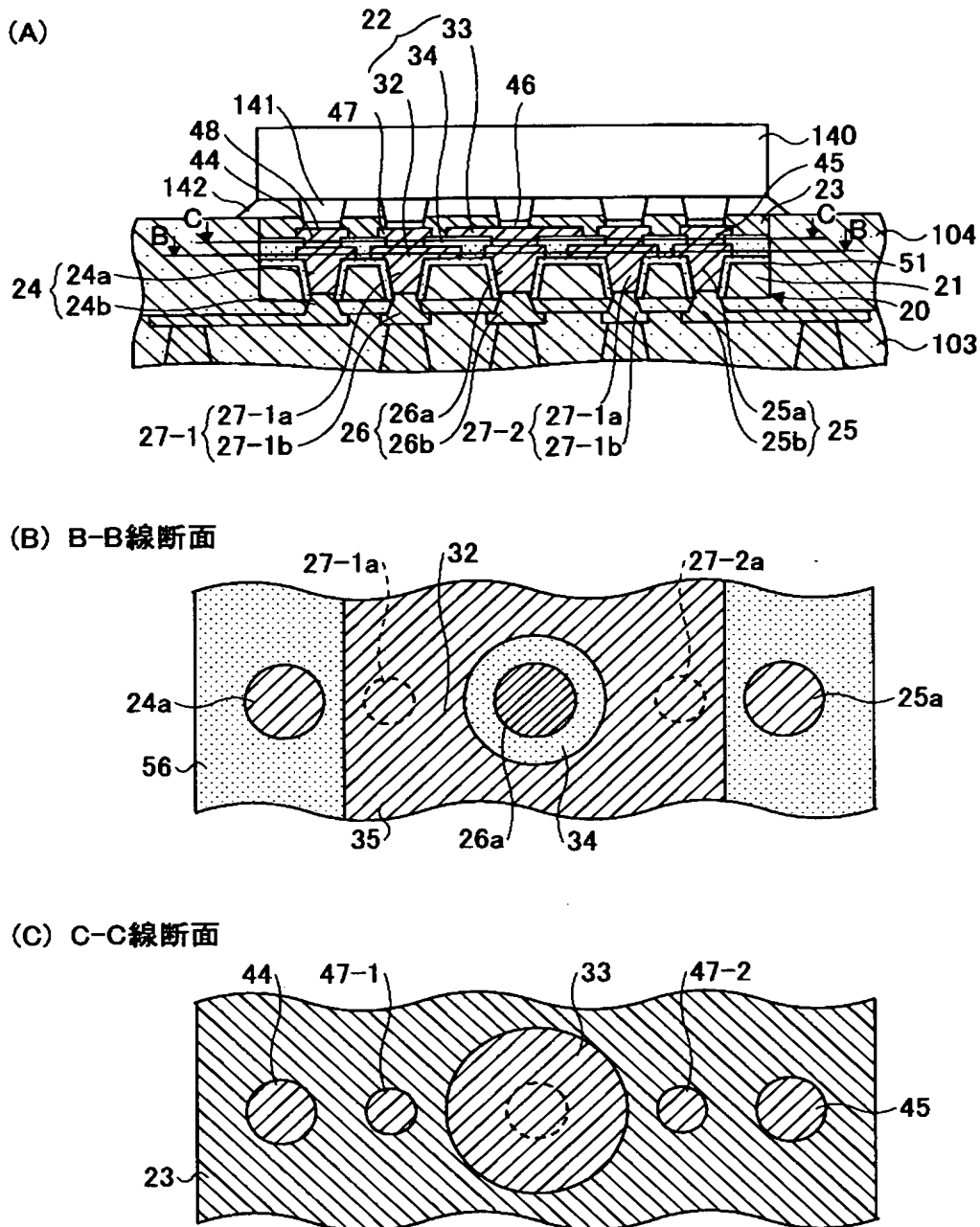
【図 1】

本発明の一実施例になる半導体装置用基板を示す断面図



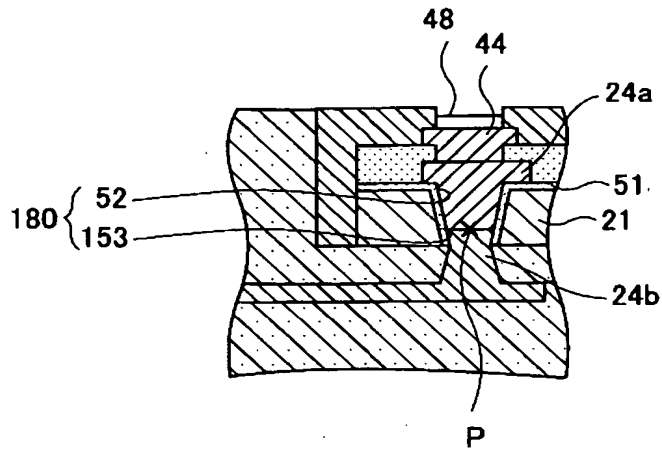
【図 2】

図 1 中、キャパシタ素子の内部構造及びキャパシタ素子と半導体装置用基板本体との接続部分を拡大して示す図



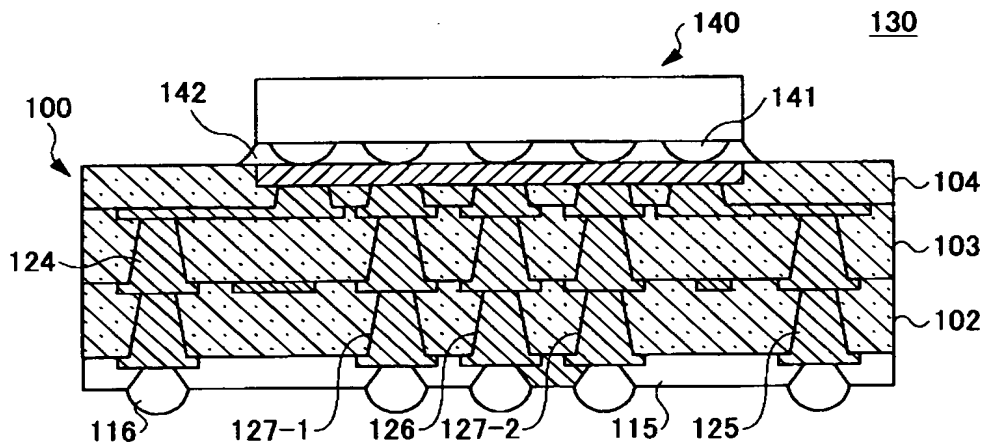
【図 3】

図 2 (A) 中、一つのスルーホール端子の構造を拡大して示す図



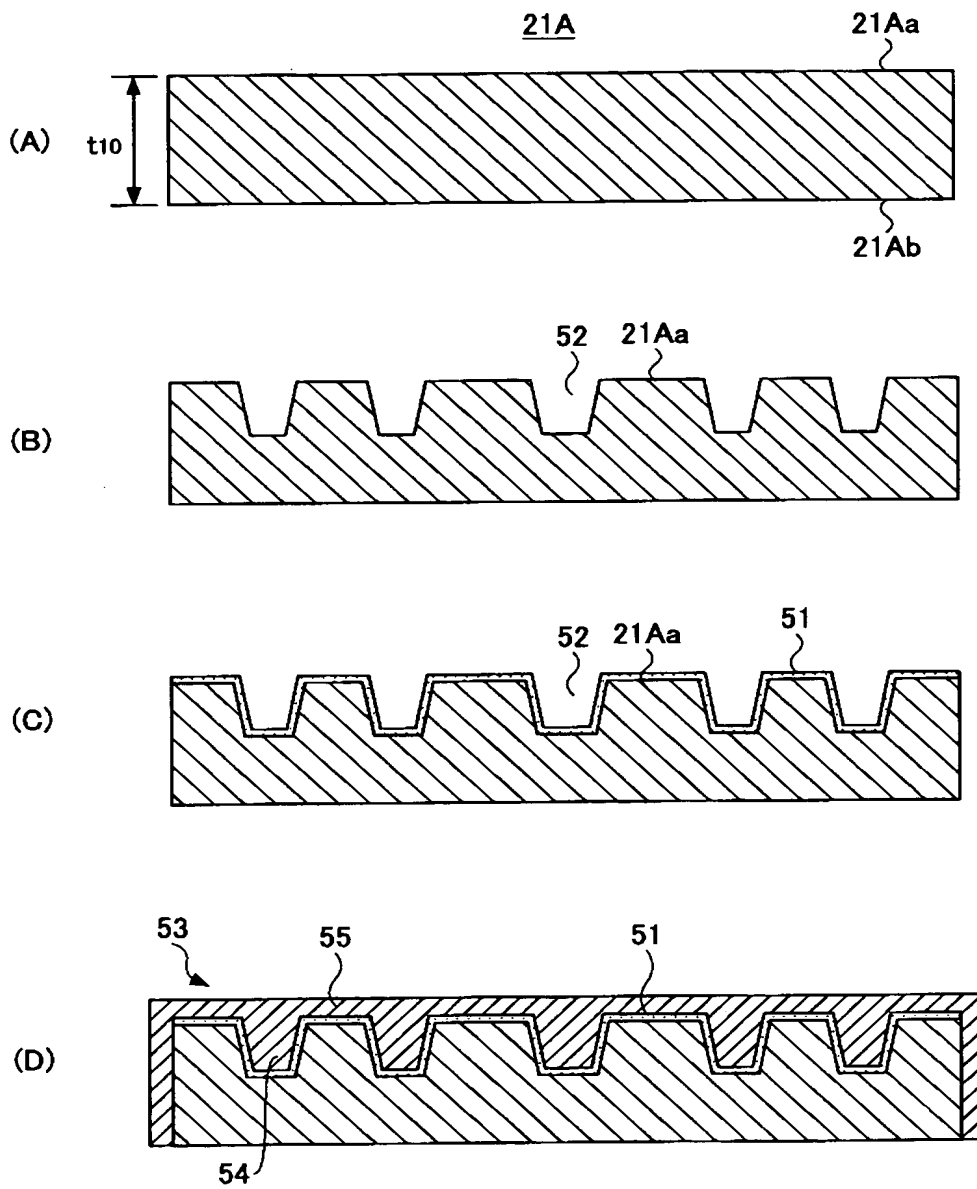
【図 4】

図1の半導体装置用基板を有する半導体装置を示す図



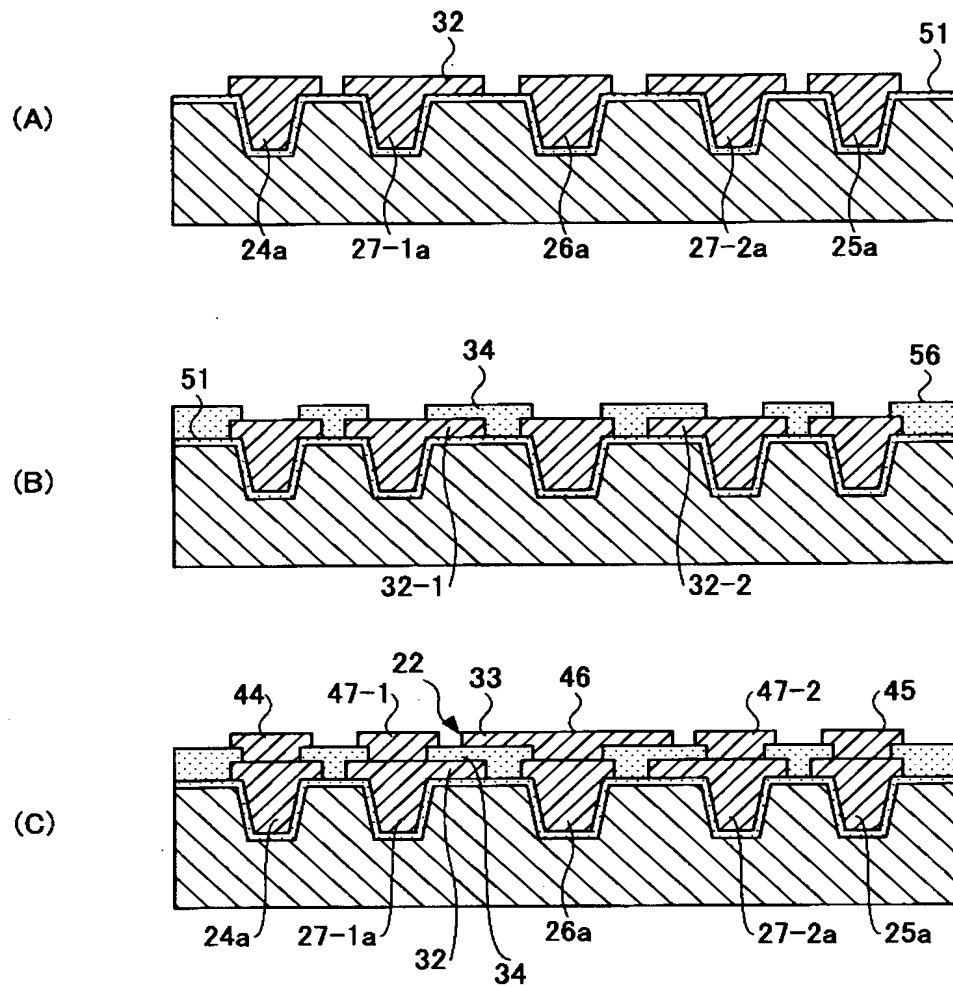
【図 5】

図 1 の半導体装置用基板の製造工程を示す図



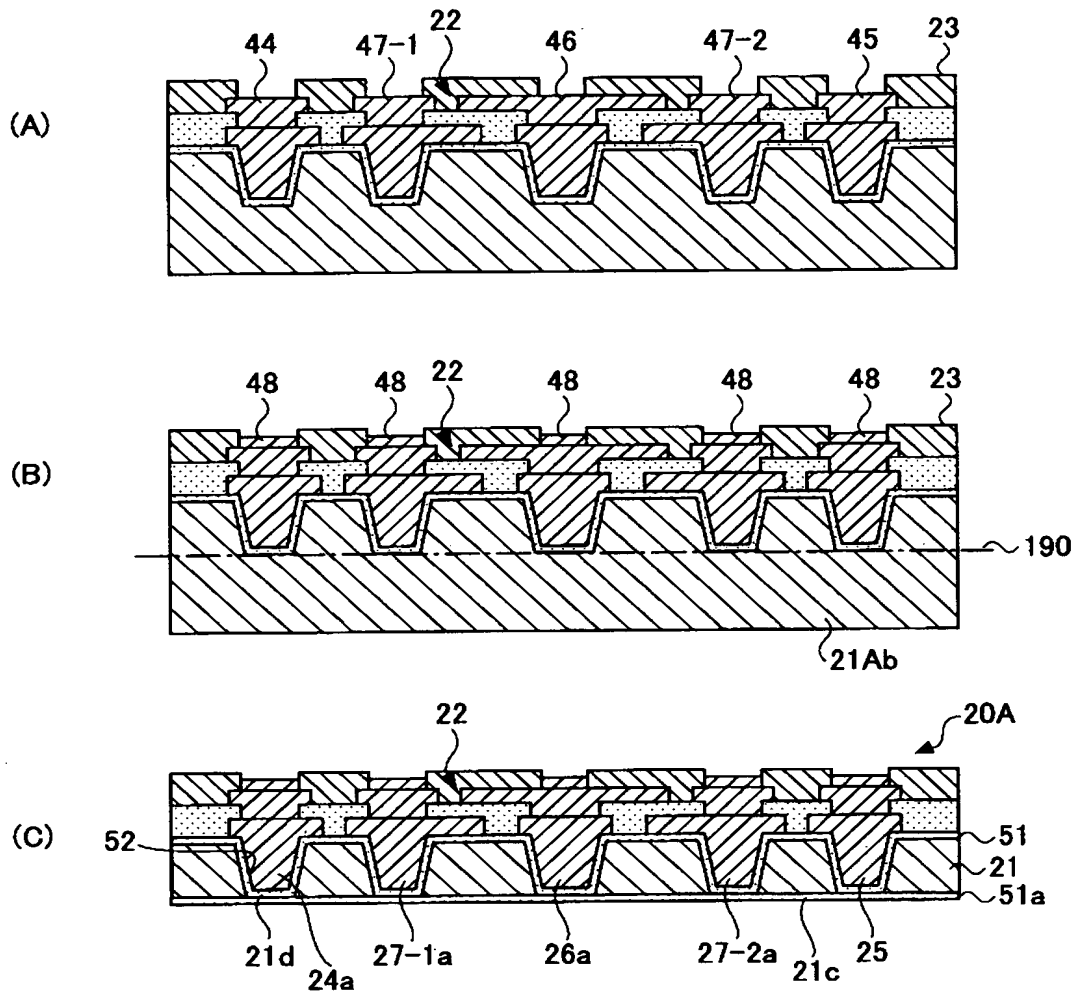
【図 6】

図 5 (C) に続く製造工程を示す図



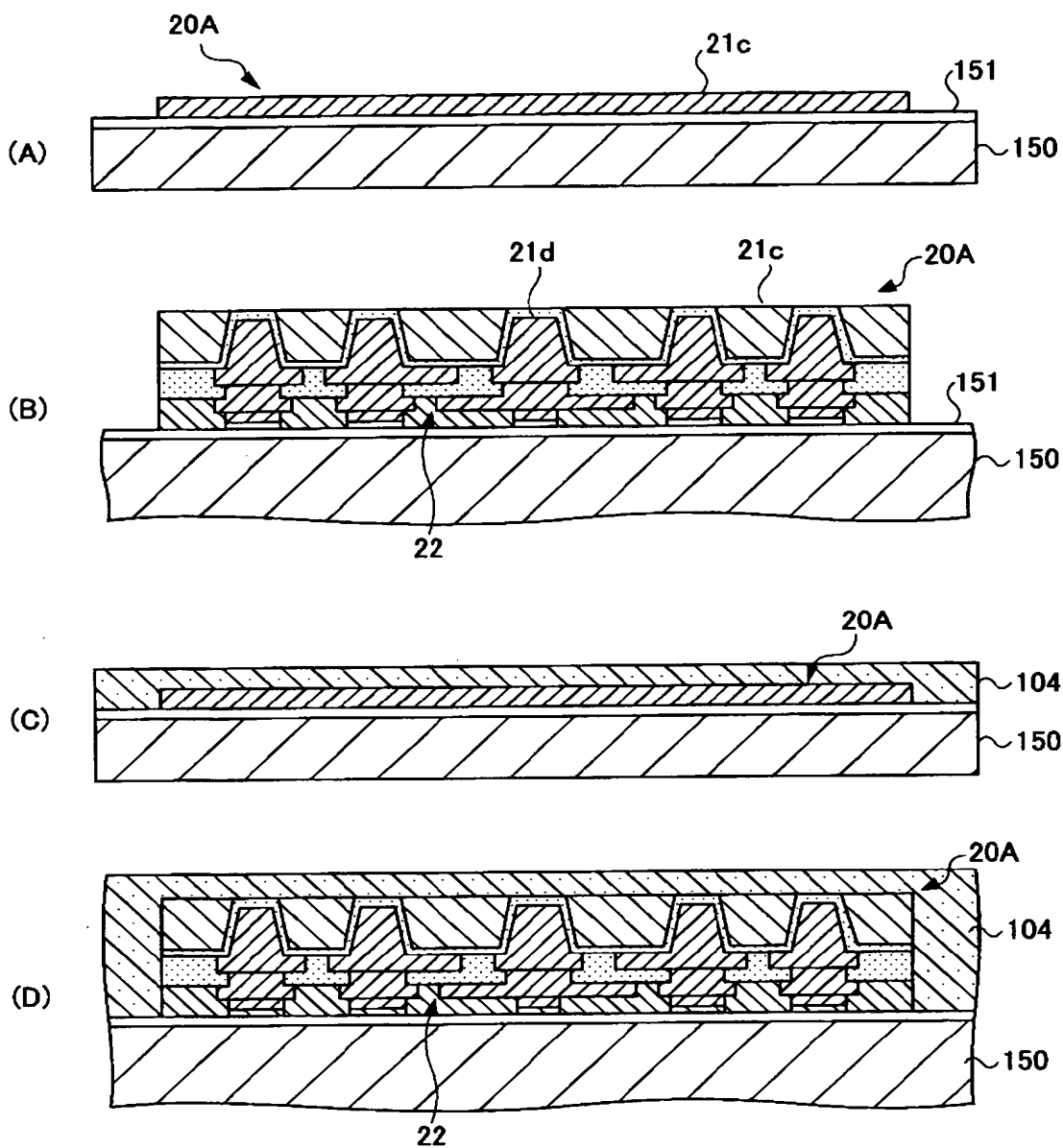
【図 7】

図 6 (C) に続く 製造工程を示す図



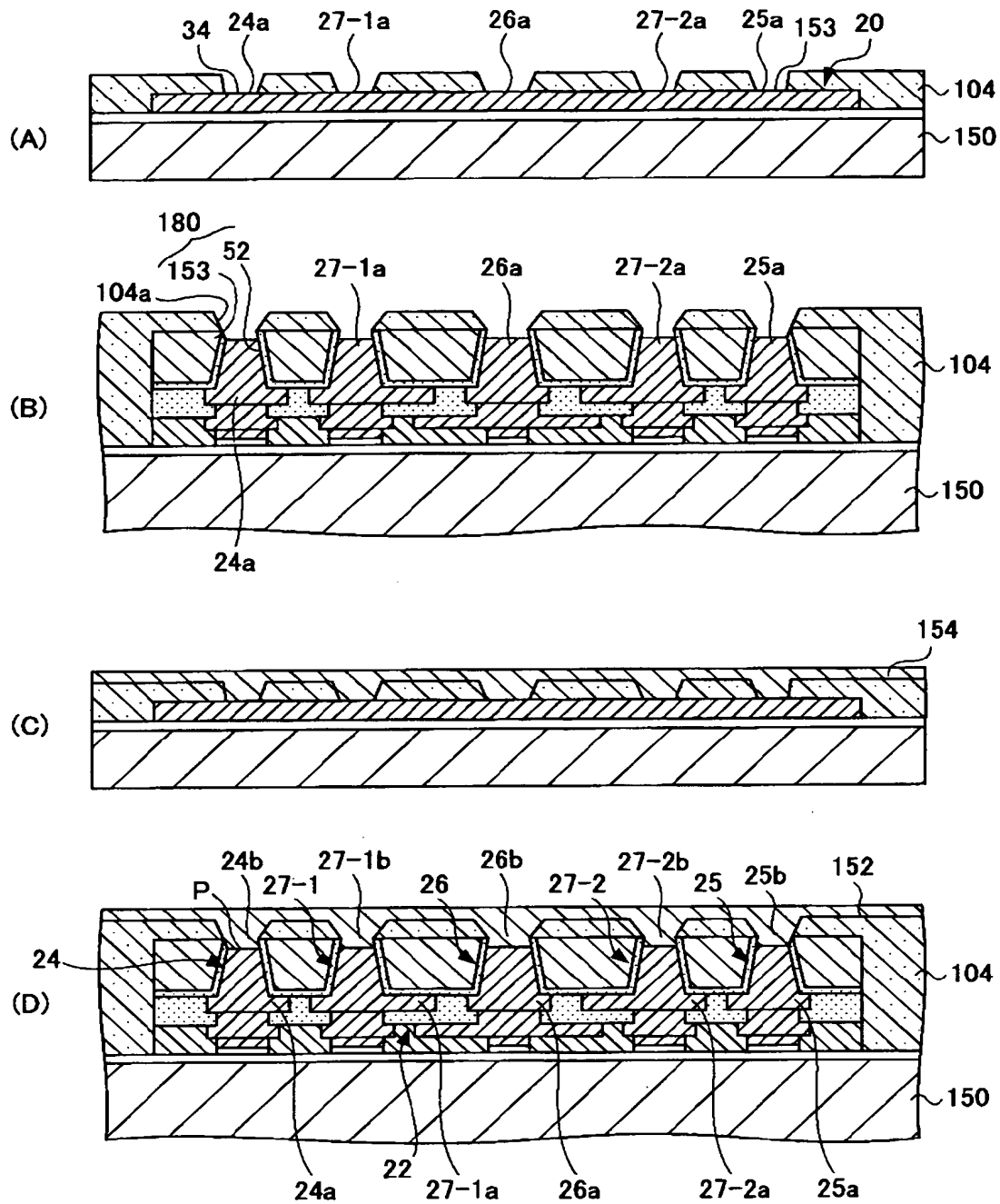
【図 8】

図 7 (C) に続く 製造工程を示す図



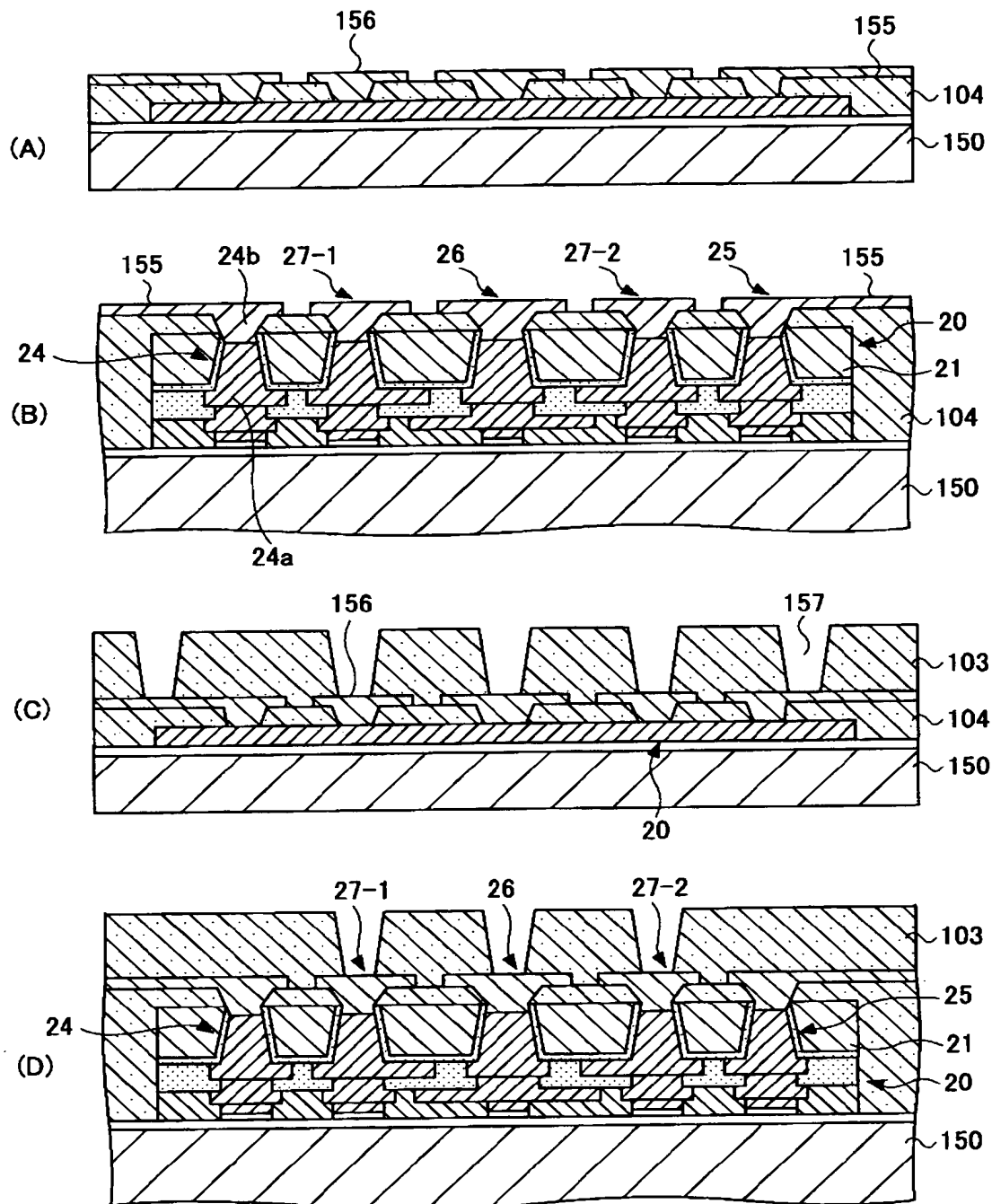
【図 9】

図 8 (C) に続く 製造工程を示す図



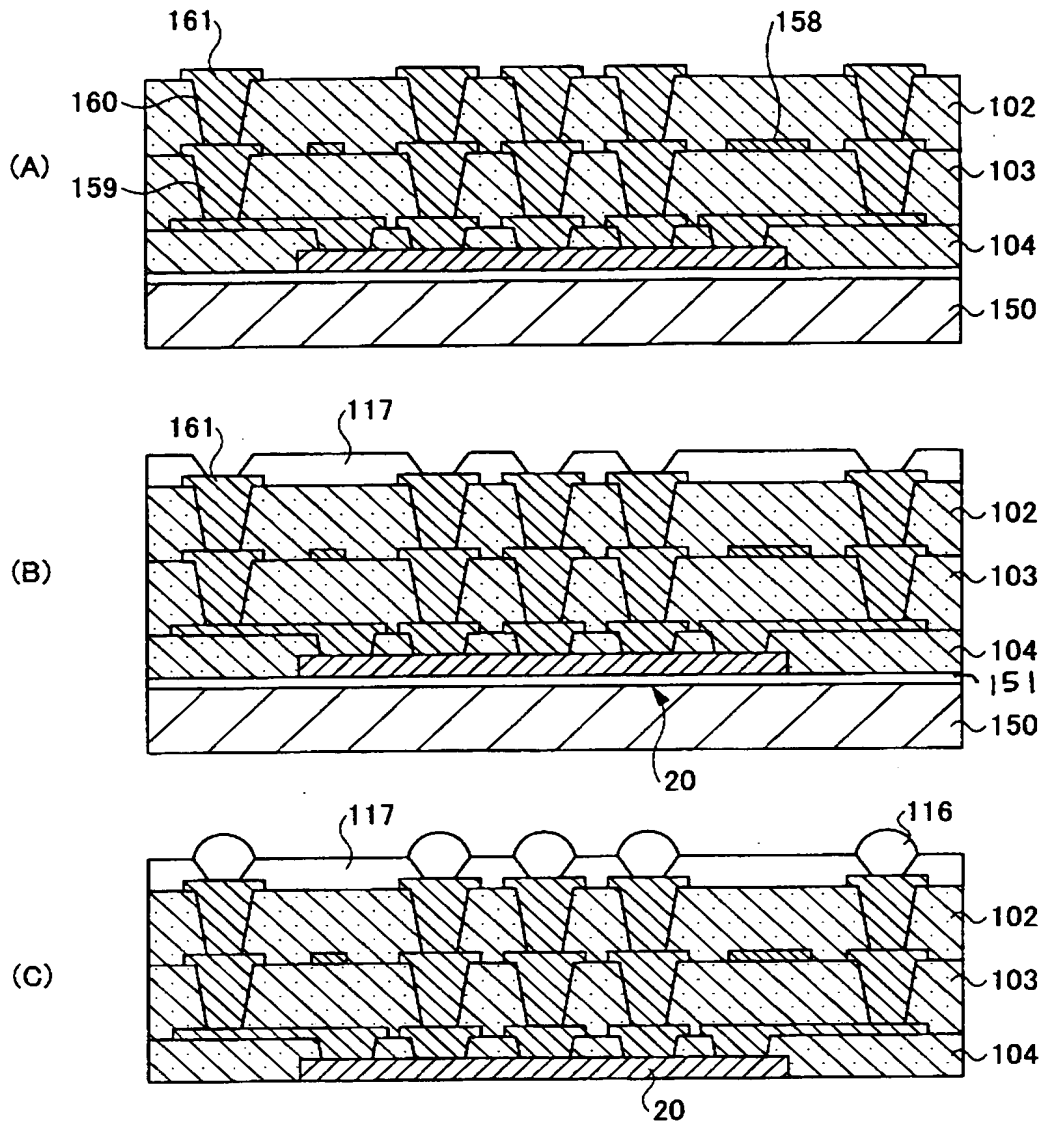
【図 10】

図 9 (C) に続く 製造工程を示す図



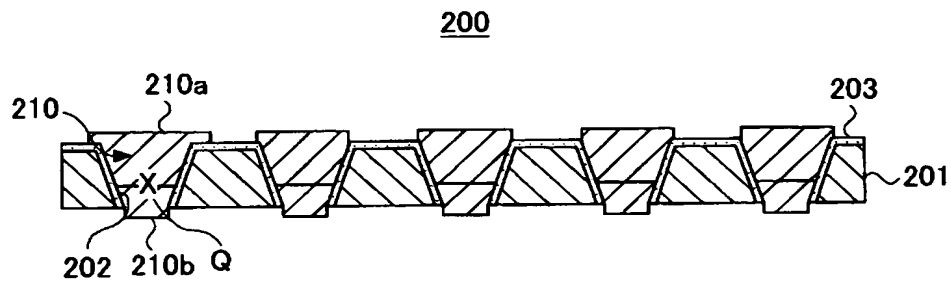
【図 11】

図 10 (C) に続く製造工程を示す図



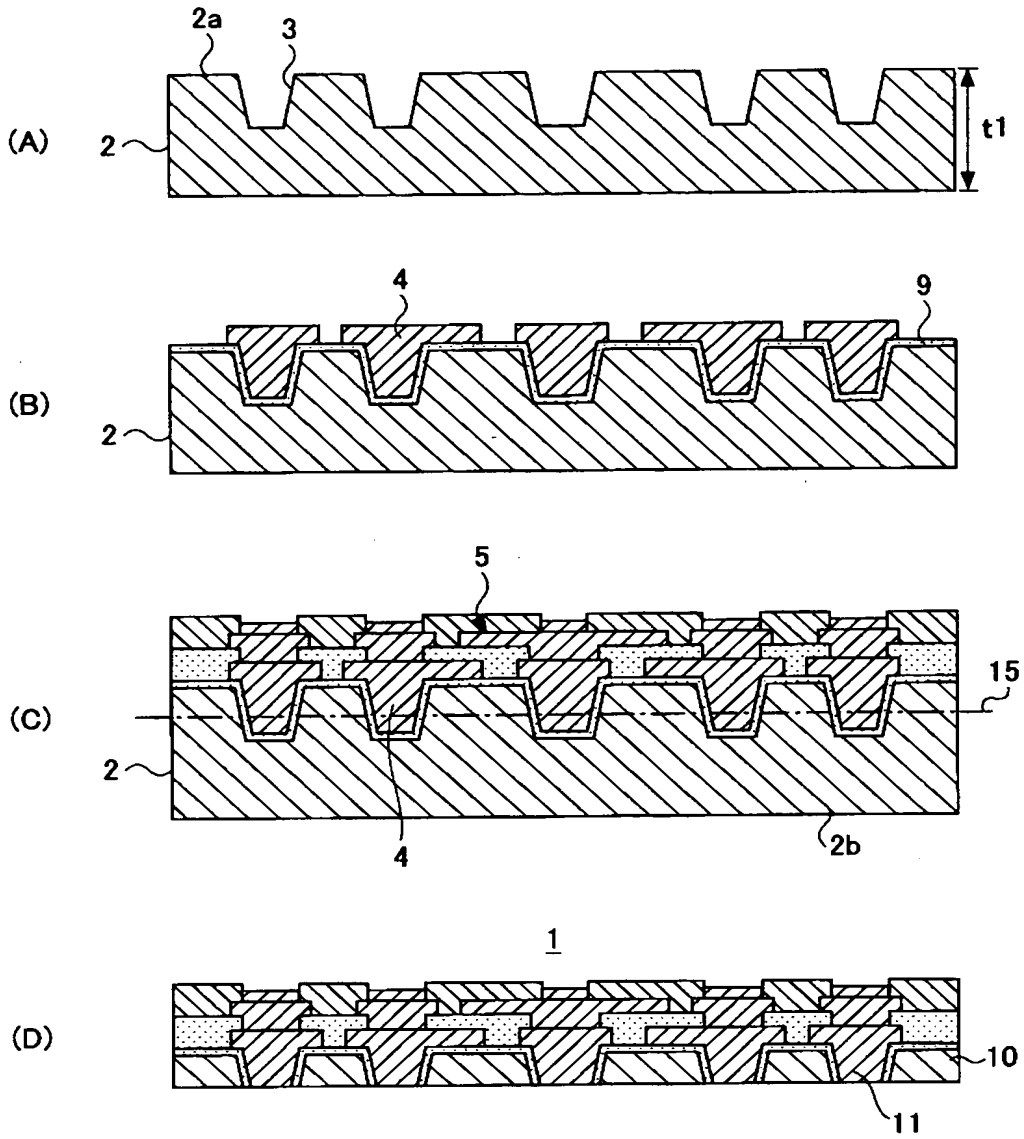
【図 12】

本発明の別の実施例になるインターポーザを示す断面図



【図 13】

従来例を示す図



【書類名】

要約書

【要約】

【課題】 本発明は半導体装置用基板の製造方法に関し、生産性の向上を図ることを課題とする。

【解決手段】 原シリコン基板 21A の表面側は表面側凹部 52 が表面側導体部 24a で埋められている。原シリコン基板 21A の裏面側のバックグラインドは、表面側導体部 24a が現われる直前の位置までとして、キャパシタ素子 20A を製造する。キャパシタ素子 20A を、その裏面を上側にして基板上に搭載し、キャパシタ素子の上面に層を形成し、この層を貫通して且つシリコン基板の裏面を彫って裏面側凹部 153 を表面側凹部 52 と貫通するように形成する。次いで、裏面側凹部 153 を導体部で埋めて裏面側導体部 24b を形成して、裏面側導体部 24b がシリコン基板の厚み内の位置で表面側導体部 24a と電氣的及び機械的に接続された構造のビア端子 24 を形成する。

【選択図】

図 9

特願 2003-058999

出願人履歴情報

識別番号

[000190688]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田711番地

氏 名

新光電気工業株式会社

2. 変更年月日

2003年10月 1日

[変更理由]

住所変更

住 所

長野県長野市小島田町80番地

氏 名

新光電気工業株式会社